

PATENT ABSTRACTS OF JAPAN

B 1

(11)Publication number : 11-168655
 (43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H04N 5/232
H04N 5/265

(21)Application number : 09-332089
 (22)Date of filing : 02.12.1997

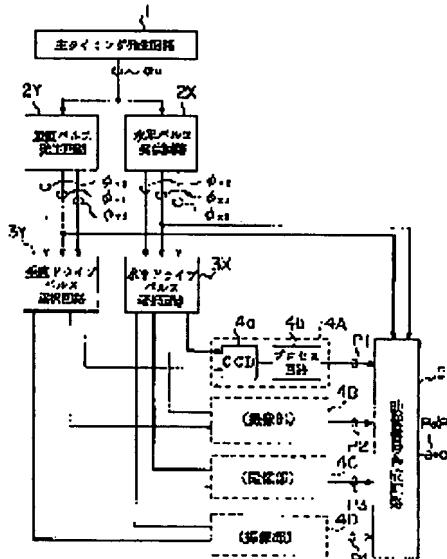
(71)Applicant : MITSUBISHI ELECTRIC CORP
 (72)Inventor : SENDA YOSHINORI
 KANDA HIDENOBU

(54) IMAGE DIVISION CAMERA

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image division camera where no gap is produced among divided images and no discontinuity is produced in the lightness of the images.

SOLUTION: Pulse signal generating sections 2X, 2Y use a timing pulse from a main timing generating circuit 1 to produce a first pulse signal with a reference phase, a second pulse signal with a prescribed phase lead, and a third pulse signal with a prescribed phase lag. Pulse signal selection sections 3X, 3Y select the third pulse signal with respect image-pickup sections 4A-4D that provide division images at a scanning start point in the division image output mode and select the second pulse signal for image-pickup sections 4A-4D that provide division images at a scanning end point in the division image output mode and provide an output. A video signal is obtained from the image-pickup sections 4A-4D synchronously with the selected pulse signals. A video signal compositing sections 5 makes references to the first pulse signal to composite the video signals from the image-pickup sections 4A-4D.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.⁶
H 04 N 5/232
5/265

識別記号

F I
H 04 N 5/232
5/265

Z

審査請求 未請求 請求項の数3 OL (全11頁)

(21)出願番号 特願平9-332089

(22)出願日 平成9年(1997)12月2日

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号(72)発明者 千田 宜紀
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内(72)発明者 神田 英伸
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

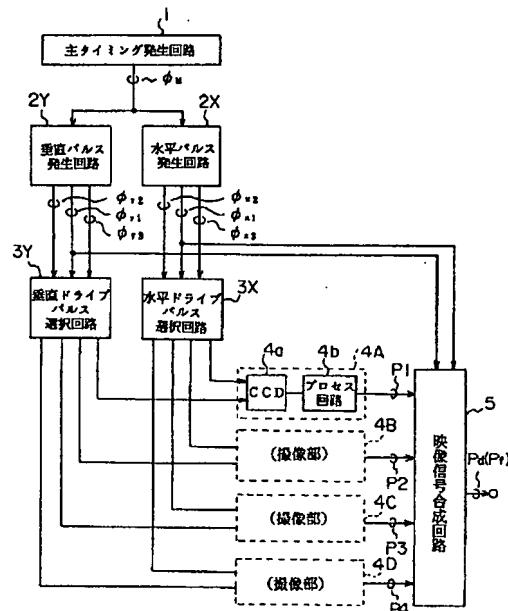
(74)代理人 弁理士 曾我 道照 (外6名)

(54)【発明の名称】 画面分割カメラ

(57)【要約】

【課題】 分割画面間に隙間を生じることがなく、画面の明るさに不連続を生じることのない画面分割カメラを提供すること。

【解決手段】 パルス信号発生部2X, 2Yは、主タイミング発生回路1からのタイミングパルスを用いて基準位相の第1パルス信号と所定の位相進みを有する第2パルス信号と所定の位相遅れを有する第3パルス信号とを発生する。パルス信号選択部3X, 3Yは、分割画面出力モード時に、走査の開始点側の分割画面を与える撮像部4Aないし4Dに対し第3パルス信号を選択し、走査の終了点側の分割画面を与える撮像部に対し第2パルス信号を選択して出力する。撮像部4A～4Dは、選択されたパルス信号に同期して映像信号を得る。映像信号合成功部5は、第1パルス信号を参照して撮像部からの映像信号を合成する。



4A : 撮像部

【特許請求の範囲】

【請求項1】 1画面上に複数の映像を時分割して出力させる全画面出力モードと、上記1画面を複数の分割画面に分割して上記複数の映像を上記複数の分割画面上にそれぞれ同時に出力させる分割画面出力モードとを有する画面分割カメラにおいて、

基準位相を有する第1パルス信号と上記第1パルス信号に対し所定の位相の進みを有する第2パルス信号と上記第1パルス信号に対し所定の位相の遅れを有する第3パルス信号とを発生し、上記第2パルス信号および第3パルス信号を水平走査方向または垂直走査方向における上記分割画面の数に応じて連倍して出力するパルス信号発生部と、

上記全画面出力モード時に上記パルス信号発生部からの上記第1パルス信号を選択すると共に、上記分割画面出力モード時に上記第2パルス信号または第3パルス信号を選択するパルス信号選択部と、

上記パルス信号選択部で選択された上記第1パルス信号ないし第3パルス信号のいずれかに同期して被写体の映像信号を得る複数の撮像部と、

上記複数の撮像部からの複数の映像信号を、上記第1パルス信号を参照して上記全画面出力モードまたは上記分割画面出力モードに応じた映像信号に合成する映像信号合成部とを備え、

上記パルス信号選択部は、上記分割画面出力モード時に、1水平同期期間または1垂直同期期間における走査の開始点側に位置する上記分割画面の映像信号を与える上記撮像部に対し上記第3パルス信号を選択すると共に、上記走査の終了点側に位置する上記分割画面の映像信号を与える上記撮像部に対し上記第2パルス信号を選択して出力することを特徴とする画面分割カメラ。

【請求項2】 上記複数の撮像部は、

上記被写体の光像を結像させる光学系と、

上記被写体の光像の光量を制限する絞りと、

上記パルス信号選択部で選択された上記第1パルス信号ないし第3パルス信号のいずれかに駆動されて、上記光学系により結像され上記絞りにより光量が制限された上記被写体の光像を光電変換して電気信号を出力する光電変換素子と、

上記光電変換素子からの電気信号から上記映像信号を生成する映像信号処理回路と、

上記映像信号の輝度成分が規定値となる方向に上記絞りを制御する絞り制御回路と、

上記絞りと上記絞り制御回路との間に設けられ、上記全画面出力モードから上記分割画面出力モードへの切り替わり時に上記絞り制御回路による上記絞りの制御量に対し上記絞りを開く方向のオフセット値を加算し、上記分割画面出力モードから上記全画面出力モードへの切り替わり時に上記制御量に対し上記絞りを閉じる方向のオフセット値を加算するオフセット値加算手段とを備えたこ

とを特徴とする請求項1に記載の画面分割カメラ。

【請求項3】 画面の水平走査および垂直走査に対応させて上記パルス信号発生部とパルス信号選択部とを設けたことを特徴とする請求項1または2に記載の画面分割カメラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、複数の撮像部を備えて各撮像部で撮影した映像を分割して画面に映し出す画面分割カメラに関し、さらに詳しくは、撮像部を構成する電荷結合素子(CCD)の読み出しタイミングの制御と絞りの自動制御に関する。

【0002】

【従来の技術】 従来、複数の撮像部を備え、各撮像部で撮影した映像を分割して画面に映し出すための画面分割カメラがある。一般にこの種のカメラは、1画面上に複数の映像を時分割して出力させる全画面出力モードと、1画面を複数の分割画面に分割して複数種類の映像を同時に出力させる分割画面出力モードとを備えている。

【0003】 図7に、従来の画面分割カメラの構成を示す。同図において、1は全体のタイミング動作の基準となる主タイミングパルス ϕ_1 を発生する主タイミング発生回路、2xは、主タイミングパルス ϕ_1 から後述の電荷結合素子4aを駆動(水平走査方向)するための水平ドライブパルス ϕ_{11} および ϕ_{12} を発生する水平パルス発生回路である。

【0004】 水平パルス発生回路2xは、主タイミングパルス ϕ_1 から水平ドライブパルス ϕ_{11} を発生する水平ドライブパルス発生回路2Aと、水平ドライブパルス ϕ_{12} を連倍してクロックスピードが2倍の水平ドライブパルス ϕ_{12} を出力する2倍速回路2Eとから構成される。ただし、水平ドライブパルス発生回路2Aは、主タイミング発生回路1に組み込まれている場合が多く、回路構成は設計によって異なる。これは本発明においても同様である。

【0005】 3xは、水平パルス発生回路2xからの水平ドライブパルス ϕ_{11} または ϕ_{12} を選択して出力する水平ドライブパルス選択回路3である。この水平ドライブパルス選択回路3は、上述の水平ドライブパルス ϕ_{11} および ϕ_{12} がそれぞれ与えられた接点aおよびbを有する切り替え器3aないし3dからなる。

【0006】 4Aないし4Dは、上述の切り替え器3aないし3dでそれぞれ選択された水平ドライブパルス ϕ_{11} または ϕ_{12} に同期して、被写体(図示なし)の映像信号P1ないしP4をそれぞれ得る撮像部である。

【0007】 撮像部4Aないし4Dは、図8に示すように、被写体(図示なし)の光像を結像させるためのレンズ24と、被写体の光像の光量を制限する絞り25と、被写体の光像を光電変換する電荷結合素子4aと、電荷結合素子4aからの電気信号を入力して映像信号を生成

する映像信号処理回路41と、映像信号の輝度成分が規定値となるように絞り25をフィードバック制御する絞り制御回路42とから構成され、映像信号処理回路41および絞り制御回路42は、プロセス回路4bを構成する。

【0008】ここで、説明を図7に戻す。撮像部4Aないし4Dの電荷結合素子4aの垂直走査方向の駆動を行うために、上述の水平パルス発生回路2xおよび水平ドライブパルス選択回路3xに相当する垂直パルス発生回路(図示なし)および垂直ドライブパルス選択回路(図示なし)が設けられている。ただし、水平ドライブパルス発生回路2Aに相当する垂直ドライブパルス発生回路(図示なし)は、水平ドライブパルス発生回路2A同様、主タイミング発生回路1に組み込まれている場合があり、回路構成は設計によって異なる。これは本発明においても同様である。

【0009】この垂直パルス発生回路は、水平ドライブパルス ϕ_{01} 、 ϕ_{02} に相当する垂直ドライブパルス ϕ_{11} 、 ϕ_{12} を発生し、垂直ドライブパルス選択回路が垂直ドライブパルス ϕ_{11} または ϕ_{12} を選択して電荷結合素子4aに与える。

【0010】次に、5は、撮像部4Aないし4Dからの映像信号P1ないしP4を合成して全画面出力モードまたは分割画面出力モードに応じた映像信号を得る映像信号合成回路であり、図9にその詳細な構成を示す。

【0011】図9において、50Aは、水平または垂直同期信号を発生する同期信号発生回路、50Bは、同期信号発生回路50Aからの同期信号を出力接点T1またはT2から出力する切り替え器、50Cは、全画面出力モード時に画面の切り替え時間間隔を定めるタイマーである。図9において、同期信号発生回路50Aには基準パルスとして水平ドライブパルス ϕ_{01} が入力されているが、代わりに主タイミングパルス ϕ_{00} 、もしくは垂直ドライブパルス ϕ_{11} が入力される場合もある。いずれのパルスを基準として入力するかは設計によって異なる。これは本発明においても同様である。

【0012】50Dは、図7に示す水平パルス発生回路2xおよび垂直パルス発生回路(図示なし)からの水平ドライブパルス ϕ_{01} および垂直ドライブパルス ϕ_{11} に同期して全画面出力モード時の画面合成用タイミングパルスを生成する全画面信号切替タイミング発生回路、50Eは、同じく水平ドライブパルス ϕ_{01} および垂直ドライブパルス ϕ_{11} に同期して分割画面出力モード時の画面合成用タイミングパルスを生成する4画面信号切替タイミング発生回路である。

【0013】50Gは、全画面信号切替タイミング発生回路50Dまたは4画面信号切替タイミング発生回路50Eからの画面合成用タイミングパルスを切り替えて出力する切り替え器、50Hないし50Lは、図7に示す撮像部4Aないし4Dからの映像信号P1ないしP4に

対し切り替え器50Gの出力接点T2からの信号を加算する加算器である。

【0014】50Mは、切り替え器50Gからの画面合成用タイミングパルスに従って、加算器50Hないし50Lからの信号を切り替えて映像信号を合成する映像信号切替器、50Nは、映像信号切替器50Mからの信号に対し切り替え器50Bの出力接点T1からの信号を加算する加算器である。

【0015】以下、従来の画面分割カメラの動作を説明する。まず、全画面出力モード時の動作を説明する。全画面出力モード時には、図7に示す切り替え器3aないし3dおよび図9に示す切り替え器50B、50Gの入力接点aが各出力接点に接続される。

【0016】主タイミング発生回路1は、全体のタイミング動作の基準となる主タイミングパルス ϕ_{00} を出力する。水平パルス発生回路2xおよび垂直パルス発生回路(図示なし)は、全画面出力モードにおいて後段の撮像部4A～4Dを構成する電荷結合素子4aを駆動するための通常のクロックスピードのドライブパルスと、分割画面出力モードにおいて電荷結合素子4aを駆動するための2倍速のクロックスピードのドライブパルスとを生成する。

【0017】すなわち、水平パルス発生回路2xを構成する水平ドライブパルス発生回路2Aは、主タイミングパルス ϕ_{00} を入力して、全画面出力モード時の水平ドライブパルス ϕ_{01} を発生する。また、垂直パルス発生回路を構成する垂直ドライブパルス発生回路(図示なし)は、全画面出力モード時の垂直ドライブパルス ϕ_{11} を発生する。

【0018】2倍速回路2Eは、水平ドライブパルス発生回路2Aからの水平ドライブパルス ϕ_{01} を2倍して、水平ドライブパルス ϕ_{01} に対してクロックスピードが2倍の水平ドライブパルス ϕ_{02} を出力する。また、垂直パルス発生回路を構成する2倍速回路(図示なし)は、垂直ドライブパルス ϕ_{11} を2倍して、クロックスピードが2倍の垂直ドライブパルス ϕ_{12} を出力する。

【0019】水平ドライブパルス選択回路3xは、全画面出力モード時の通常のクロックスピードを有する水平ドライブパルス ϕ_{01} を選択して撮像部4Aないし4Dに40出力する。また、垂直ドライブパルス選択回路(図示なし)も、通常のクロックスピードを有する垂直ドライブパルス ϕ_{11} を選択して撮像部4Aないし4Dに出力する。

【0020】撮像部4Aないし4Dを構成する各電荷結合素子4aは、水平ドライブパルス選択回路3xおよび図示しない垂直ドライブパルス選択回路により選択された水平ドライブパルス ϕ_{01} および垂直ドライブパルス ϕ_{11} に駆動され、通常の速度で被写体の光像を光電変換する。電荷結合素子4aからの電気信号は、水平ドライブパルス ϕ_{01} および垂直ドライブパルス ϕ_{11} に同期して後

段のプロセス回路4 bに出力される。

【0021】プロセス回路4 bを構成する図8に示す映像信号処理回路4 1は、電荷結合素子4 aからの電気信号を信号処理して映像信号P 1ないしP 4を出力する。このとき、映像信号処理回路4 1は、輝度信号を積分して、その積分値を絞り制御回路4 2に与える。絞り制御回路4 2は、輝度信号の積分値が規定値となるように、絞り2 5をフィードバック制御する。

【0022】説明を図7に戻す。映像信号合成回路5は、撮像部4 Aないし4 Dからの映像信号P 1ないしP 4に対して同期信号を加算した後に合成して出力する。すなわち、映像信号合成回路5を構成する図9に示す切り替え器5 0 Bは、同期信号発生回路5 0 Aが発生した同期信号を出力接点T 2から加算器5 0 Hないし5 0 Lに出力すると共に、出力接点T 1を容量C 1により交流的に接地する。切り替え器5 0 Gは、全画面信号切替タイミング発生回路5 0 Dからの画面合成用タイミングパルスを映像信号切替器5 0 Mに出力する。

【0023】加算器5 0 Hないし5 0 Lは、図7に示す撮像部4 Aないし4 Dからの映像信号P 1ないしP 4に対して切り替え器5 0 Bの出力接点T 2からの同期信号を加算して映像信号切替器5 0 Mに出力する。

【0024】映像信号切替器5 0 Mは、切り替え器5 0 Gからの全画面出力モード時の画面合成用タイミングパルスに従って、加算器5 0 Hないし5 0 Lからの信号を切り替えて出力する。このとき、切り替え器5 0 Bの出力接点T 1は交流的に接地されているので、加算器5 0 Nは、映像信号切替器5 0 Mの出力信号に対して同期信号を加算しない。したがって、映像信号切替器5 0 Mの出力信号が、全画面出力モード時の映像信号として出力端子1 9に出力され、図10 (a) に示す全画面映像信号P fを得る。

【0025】次に、分割画面出力モード時の動作を説明する。分割画面出力モード時には、図7に示す切り替え器3 aないし3 d、および図9に示す切り替え器5 0 Bおよび5 0 Gの入力接点bが、各出力接点に接続される。

【0026】この場合、撮像部4 Aないし4 Dを構成する各電荷結合素子4 aは、水平ドライブパルス選択回路3 xおよび垂直ドライブパルス選択回路(図示なし)により選択された2倍速のクロックスピードを有する水平ドライブパルスφ_h、および垂直ドライブパルスφ_vにより駆動されて、映像信号P 1ないしP 4が生成される。

【0027】一方、図9に示す映像信号合成回路5を構成する切り替え器5 0 Bは、同期信号発生回路5 0 Aからの同期信号を出力接点T 1から加算器5 0 Nに出力すると共に、出力接点T 2を交流的に接地する。また、切り替え器5 0 Gは、4画面信号切替タイミング発生回路5 0 Eからの複数画面出力モード時の画面合成用タイミングパルスを映像信号切替器5 0 Mに出力する。

【0028】加算器5 0 Hないし5 0 Lは、映像信号P 1ないしP 4に対して切り替え器5 0 Bの出力接点T 2からの信号を加算して映像信号切替部5 0 Mに出力する。このとき、切り替え器5 0 Bの出力接点T 2が交流的に接地されているので、映像信号P 1ないしP 4には同期信号が加算されない。

【0029】映像信号切替器5 0 Mは、切り替え器5 0 Gからの分割画面出力モード時の画面合成用タイミングパルスに従って、加算器5 0 Hないし5 0 Lからの信号(P 1～P 4)を切り替えて出力する。加算器5 0 Nは、切り替え器5 0 Bからの同期信号を映像信号切替器5 0 Mの出力信号に加算して分割画面出力モード時の映像信号として出力端子1 9に出力し、図10 (a) に示す分割画面映像信号P dを得る。以上により、全画面出力モードまたは分割画面出力モードに応じた映像信号P f、P dを得る。

【0030】

【発明が解決しようとする課題】ところで、上述の従来の画面分割カメラによれば、図10 (a) に示す分割画面出力モード時の映像信号P dのように、1水平走査期間において、2つの分割画面の映像信号P 1、P 2(またはP 3、P 4)の間に映像信号が存在しないブランкиング期間が生じ、1垂直同期期間でも同様のブランкиング期間が生じる。このため、図10 (b) に示すように、分割画面M 1ないしM 4の間に隙間が生じ、画面上に黒い十字線となって現れるという問題がある。

【0031】また、以下に説明するように、分割画面出力モードと全画面出力モードとの切り替わり時に、画面の明るさに不連続を生じるという問題がある。すなわち、図7に示す電荷結合素子4 aは、前述のように、分割画面出力モード時には全画面出力モード時に比較して2倍のクロックスピードで駆動されるため、電荷結合素子4 aの受光時間が全画面出力モード時に比較して実質的に半分となり、画面の明るさが半分に変化する。

【0032】この場合、図8に示す絞り制御回路4 2が、絞り2 5をフィードバック制御して、画面の明るさを一定に保とうとするが、いわゆるハンチングの問題を避けるために、絞り2 5に対するフィードバック制御に遅延が設けられている。このため、モードが切り替えられて画面の明るさが急激に変化した場合、絞り2 5に対するフィードバック制御が追従できず、画面の明るさに不連続が生じる。

【0033】本発明は、このような問題に鑑みてなされたものであり、分割画面出力モードにおいて分割画面間に隙間を生じることがなく、しかも全画面出力モードと分割画面出力モードとの切り替わり時に、画面の明るさに不連続を生じることのない画面分割カメラを提供することを課題とする。

【0034】

【課題を解決するための手段】本発明は、前記課題を解

決達成するため、以下の構成を有する。すなわち、本発明は、1画面上に複数の映像を時分割して出力させる全画面出力モードと、上記1画面を複数の分割画面に分割して上記複数の映像を上記複数の分割画面上にそれぞれ同時に出力させる分割画面出力モードとを有する画面分割カメラにおいて、基準位相を有する第1パルス信号と上記第1パルス信号に対し所定の位相の進みを有する第2パルス信号と上記第1パルス信号に対し所定の位相の遅れを有する第3パルス信号とを発生し、上記第2パルス信号および第3パルス信号を水平走査方向または垂直走査方向における上記分割画面の数に応じて遅倍して出力するパルス信号発生部と、上記全画面出力モード時に上記パルス信号発生部からの上記第1パルス信号を選択すると共に、上記分割画面出力モード時に上記第2パルス信号または第3パルス信号を選択するパルス信号選択部と、上記パルス信号選択部で選択された上記第1パルス信号ないし第3パルス信号のいずれかに同期して被写体の映像信号を得る複数の撮像部と、上記複数の撮像部からの複数の映像信号を、上記第1パルス信号を参照して上記全画面出力モードまたは上記分割画面出力モードに応じた映像信号に合成する映像信号合成部とを備え、上記パルス信号選択部は、上記分割画面出力モード時に、1水平同期期間または1垂直同期期間における走査の開始点側に位置する上記分割画面の映像信号を与える上記撮像部に対し上記第3パルス信号を選択すると共に、上記走査の終了点側に位置する上記分割画面の映像信号を与える上記撮像部に対し上記第2パルス信号を選択して出力する構成を有する。

【0035】また、上記複数の撮像部は、上記被写体の光像を結像させる光学系と、上記被写体の光像の光量を制限する絞りと、上記パルス信号選択部で選択された上記第1パルス信号ないし第3パルス信号のいずれかに駆動されて、上記光学系により結像され上記絞りにより光量が制限された上記被写体の光像を光電変換して電気信号を出力する光電変換素子と、上記光電変換素子からの電気信号から上記映像信号を生成する映像信号処理回路と、上記映像信号の輝度成分が規定値となる方向に上記絞りを制御する絞り制御回路と、上記絞りと上記絞り制御回路との間に設けられ、上記全画面出力モードから上記分割画面出力モードへの切り替わり時に上記絞り制御回路による上記絞りの制御量に対し上記絞りを開く方向のオフセット値を加算し、上記分割画面出力モードから上記全画面出力モードへの切り替わり時に上記制御量に対し上記絞りを閉じる方向のオフセット値を加算するオフセット値加算手段とを備えた構成を有する。

【0036】さらに、本発明は、画面の水平走査および垂直走査に対応させて上記パルス信号発生部とパルス信号選択部とを設けた構成を有する。

【0037】

【発明の実施の形態】以下、本発明の実施の形態を説明

する。なお、各図において、共通または相当する要素には同一符号を付す。

実施の形態1. 図1に本実施の形態1にかかる画面分割カメラの構成を示す。同図において、1は、全体の動作の基準となる主タイミングパルス ϕ_m を発生する主タイミング発生回路であり、前述の図7に示す従来例にかかるものと同一である。

【0038】2Xは、水平走査上の基準位相を有する水平ドライブパルス ϕ_{x1} （第1パルス信号）と該水平ドライブパルス ϕ_{x1} に対し所定の位相の進みを有する水平ドライブパルス ϕ_{x2} （第2パルス信号）と水平ドライブパルス ϕ_{x3} （第3パルス信号）とを発生し、水平ドライブパルス ϕ_{x1} および ϕ_{x3} を水平走査方向における分割画面の数に応じて遅倍して出力する水平パルス発生回路（パルス信号発生部）である。

【0039】2Yは、垂直走査上の基準位相を有する垂直ドライブパルス ϕ_{y1} （第1パルス信号）と該垂直ドライブパルス ϕ_{y1} に対し所定の位相の進みを有する垂直ドライブパルス ϕ_{y2} （第2パルス信号）と垂直ドライブパルス ϕ_{y3} （第3パルス信号）とを発生し、垂直ドライブパルス ϕ_{y1} および ϕ_{y3} を垂直走査方向における分割画面の数に応じて遅倍して出力する垂直パルス発生回路（パルス信号発生部）である。

【0040】ここで、水平パルス発生回路2Xおよび垂直パルス発生回路2Yの構成を図2に示す。同図において、2Aは、主タイミングパルス ϕ_m から基本ドライブパルス信号 ϕ_b を発生するドライブパルス発生回路、2Bは、基本ドライブパルス信号 ϕ_b を遅延させて上述の水平ドライブパルス信号 ϕ_{x1} （垂直ドライブパルス信号 ϕ_{y1} ）を出力する遅延回路、2Cは、基本ドライブパルス信号 ϕ_b を遅延させる遅延回路である。

【0041】また、2Dは、基本ドライブパルス信号 ϕ_b を遅倍して2倍のクロックスピードを有する上述の水平ドライブパルス ϕ_{x2} （垂直ドライブパルス ϕ_{y2} ）を出力する2倍速回路、2Eは、遅延回路2Cの出力信号を遅倍して2倍のクロックスピードを有する上述の水平ドライブパルス ϕ_{x3} （垂直ドライブパルス ϕ_{y3} ）を出力する2倍速回路である。

【0042】なお、上述の遅延回路2Bおよび2Cでの遅延量は、図3に示すように、遅延回路2Bの出力信号（ ϕ_{x1} 、 ϕ_{y1} ）を基準として、ドライブパルス発生回路2Aからの基本ドライブパルス信号 ϕ_b が所定の位相の進みを有し、遅延回路2Cの出力信号（符号なし）が所定の位相の遅れを有するように設定される。遅延回路2Bの出力信号（ ϕ_{x1} 、 ϕ_{y1} ）を基準とした基本ドライブパルス信号 ϕ_b の位相の進み量と遅延回路2Cの出力信号の位相の遅れ量は、後述の図5（c）に示すように、

1水平同期期間および1垂直同期期間において映像信号

の間にランキング期間が生じないように選ばれる。

【0043】ここで、説明を図1に戻す。3Xは、全画面出力モード時に水平パルス発生回路2Xからの水平ドライブパルス ϕ_{x1} を選択すると共に、分割画面出力モード時に水平ドライブパルス ϕ_{x2} または ϕ_{x3} を選択する水平ドライブパルス選択回路（パルス信号選択部）である。3Yは、全画面出力モード時に垂直パルス発生回路2Yからの垂直ドライブパルス ϕ_{y1} を選択すると共に、分割画面出力モード時に垂直ドライブパルス ϕ_{y2} または ϕ_{y3} を選択する垂直ドライブパルス選択回路（パルス信号選択部）である。

【0044】図4に水平ドライブパルス選択回路3X（垂直ドライブパルス選択回路3Y）の構成を示す。同図に示すように、水平ドライブパルス選択回路3X（垂直ドライブパルス選択回路3Y）は、切り替え器3Aないし3Dからなり、各切り替え器は、水平パルス発生回路2X（垂直パルス発生回路2Y）からの水平ドライブパルス ϕ_{x1} 、 ϕ_{x2} 、 ϕ_{x3} （垂直ドライブパルス ϕ_{y1} 、 ϕ_{y2} 、 ϕ_{y3} ）をそれぞれ入力する接点a、b₁、b₂、b₃を有する。

【0045】上述の水平パルス発生回路2Xおよび水平ドライブパルス選択回路3Xは、画面の水平走査に対応させて設けられ、垂直パルス発生回路2Yおよび垂直ドライブパルス選択回路3Yは画面の垂直走査に対応させて設けられている。

【0046】ここで、再び説明を図1に戻す。4Aないし4Dは、水平ドライブパルス選択回路3Xで選択された水平ドライブパルス ϕ_{x1} ないし ϕ_{x3} のいずれかと、垂直ドライブパルス選択回路3Yで選択された垂直ドライブパルス ϕ_{y1} ないし ϕ_{y3} のいずれかとに同期して、被写体の映像信号P1ないしP4を得る撮像部（複数の撮像部）である。

【0047】5は、撮像部4Aないし4Dからの映像信号P1ないしP4を、上述の水平パルス発生回路2Xおよび垂直パルス発生回路2Yからの水平ドライブパルス ϕ_{x1} および垂直ドライブパルス ϕ_{y1} を参照して、全画面出力モードの映像信号Pfまたは分割画面出力モードの映像信号Pdに合成する映像信号合成回路（映像信号合成部）であり、前述の図7に示すものと同様である。ただし、図7において、映像信号合成回路5に入力されるパルス信号 ϕ_{01} 、 ϕ_{11} は、パルス信号 ϕ_{x1} および ϕ_{y1} にそれぞれ置き換えられる。

【0048】以下、本実施の形態1にかかる画面分割カメラの動作を説明する。まず、全画面出力モード時の動作を説明する。このモードでは、基本的に前述の従来例と同様に動作する。すなわち、図4に示す水平ドライブパルス選択回路3Xおよび垂直ドライブパルス選択回路3Yを構成する切り替え器3Aないし3Dの入力接点aが output接点と接続され、水平ドライブパルス選択回路3Xおよび垂直ドライブパルス選択回路3Yは、通常のク

ロックスピードを有する水平ドライブパルス ϕ_{x1} および垂直ドライブパルス ϕ_{y1} をそれぞれ選択して出力する。

【0049】撮像部4Aないし4Dを構成する電荷結合素子4aは、水平ドライブパルス ϕ_{x1} および垂直ドライブパルス ϕ_{y1} に駆動されて電気信号を出力する。プロセス回路4bは電荷結合素子4aからの電気信号に対し処理を施して映像信号P1ないしP4を出力する。映像信号合成回路5は、撮像部4Aないし4Dからの映像信号P1ないしP4を入力して、図5(a)に示す全画面出力モード時の映像信号Pfに合成する。

【0050】次に、分割画面モードでの動作について、図1に示す撮像部4Aないし4Dが、図5(b)に示す分割画面M1ないしM4の映像信号P1ないしP4をそれぞれ与えるものとして説明する。

【0051】このモードでは、図5(b)に示す画面の向かって左側（1水平同期期間における走査の開始点側）に位置する分割画面M1、M3の映像信号P1、P3を与える図1に示す撮像部4A、4Cを、位相が遅れたドライブパルス ϕ_{x3} で駆動し、画面の向かって右側

20 分割画面M2、M4の映像信号P2、P4を与える撮像部4B、4Dを、位相が進んだドライブパルス ϕ_{x1} で駆動する。

【0052】また、図5(b)に示す画面の向かって上側（1垂直同期期間における走査の開始点側）に位置する分割画面M1、M2映像信号P1、P2を与える撮像部4A、4Bを、位相が遅れたドライブパルス ϕ_{y3} で駆動し、画面の向かって下側（1垂直同期期間における走査の終了点側）に位置する分割画面M3、M4の映像信号P2、P4を与える撮像部4C、4Dを位相が進んだドライブパルス ϕ_{y1} で駆動する。

【0053】すなわち、水平ドライブパルス選択回路3Xおよび垂直ドライブパルス選択回路3Yを構成する図4に示す切り替え器3Aおよび3Cの接点b₁がその出力接点と接続され、切り替え器3Bおよび3Dの入力接点b₃がその出力接点と接続される。各切り替え器3Aないし3Dの接続状態は、撮像部4Aないし4Dの映像信号P1ないしP4が、どの分割画面の映像を与えるかにより定められる。

40 【0054】水平ドライブパルス選択回路3Xは、撮像部4A、4Cに対して、位相の遅れを有する水平ドライブパルス ϕ_{x3} を選択して出力し、撮像部4B、4Dに対して、位相の進みを有する水平ドライブパルス ϕ_{x1} を選択して出力する。また、垂直ドライブパルス選択回路3Yは、撮像部4A、4Bに対して、位相の遅れを有する垂直ドライブパルス ϕ_{y3} を選択して出力し、撮像部4C、4Dに対して、位相の進みを有する垂直ドライブパルス ϕ_{y1} を選択して出力する。

【0055】撮像部4Aないし4Dを構成する電荷結合素子4aは、水平ドライブパルス選択回路3Xで選択さ

れた水平ドライブパルス ϕ_{v1} または ϕ_{v2} と、垂直ドライブパルス選択回路3 Yで選択された垂直ドライブパルス ϕ_{v3} または ϕ_{v4} とにそれ驅動されて電気信号を出力する。以下、従来技術と同様に、プロセス回路4 bが電荷結合素子4 aからの電気信号を処理して映像信号P1ないしP4を出力し、映像信号合成回路5が映像信号P1ないしP4を映像信号Pdに合成して出力する。

【0056】ここで、1水平同期期間において、撮像部4 Aおよび4 Cの電荷結合素子4 aからの電荷の読み出しタイミングは、前述の従来技術での読み出しタイミングに比較して、水平ドライブパルス ϕ_{v1} に対する水平ドライブパルス ϕ_{v2} の位相の遅れ分だけ遅れを生じ、撮像部4 Aおよび4 Cの電荷結合素子4 aからの電荷の読み出しタイミングは、水平ドライブパルス ϕ_{v1} に対する水平ドライブパルス ϕ_{v2} の位相の進み分だけ進む。

【0057】この結果、1水平同期期間において、撮像部4 A、4 Cから出力される映像信号P1、P3は、水平同期期間の走査の中心側に移動し、撮像部4 B、4 Dから出力される映像信号P2、P4も、水平同期期間の走査の中心側に移動する。この結果、図5(c)に示すように、1水平同期期間において、2倍速で読み出された映像信号の間のブランディング期間(隙間)が埋められる。

【0058】同様に、1垂直同期期間において、撮像部4 A、4 Bから出力される映像信号P1、P2は、垂直同期期間の走査の中心側に移動し、撮像部4 C、4 Dから出力される映像信号P3、P4も、垂直同期期間の走査の中心側に移動する。この結果、1垂直同期期間において、2倍速で読み出された映像信号の間のブランディング期間がなくなる。したがって図5(b)に示すように、画面上から黒い十字線が消える。なお、図5(a)および(c)に示す映像信号が存在しない期間Bは、オーバースキャン時には画面に現れない領域であるため、画面に影響を与えることはない。

【0059】実施の形態2. 以下、本発明の実施の形態2について、図6を参照して説明する。本実施の形態2にかかる画像分割カメラは、上述の実施の形態1にかかる図1に示す撮像部4 Aないし4 Dに代えて、図6にその構成を示す撮像部4 Xを備える。

【0060】すなわち、図6に示す撮像部4 Xは、図8に示す撮像部4 A(～4 D)の構成において、絞り25と絞り制御回路42との間に、絞り制御回路42による絞り25の制御量に対しオフセット値を加算するオフセット値加算手段Fをさらに備える。

【0061】図6に示すオフセット値加算手段Fは、オフセット値を切り替える切り替え器45と、絞り25と絞り制御回路42との間に設けられて切り替え器45からのオフセット値を絞り制御回路42の出力に加算する加算器46とを備えて構成される。

【0062】また、切り替え器45は、絞り25を開く

方向のオフセット値43が与えられた接点iと、絞り25を閉じる方向のオフセット値44が与えられた接点jと、容量C2により交流的に接地された接点kを有し、図4に示す切り替え器3Aないし3Dと連動して、モードの切り替わり時に接点iまたはjが出力接点と接続されるように構成される。

【0063】以下、図6に示す撮像部4 Xの動作を説明する。いま、全画面出力モードに設定されているとすると、上述の図4に示すドライブパルス選択回路3X(3Y)の切り替え器3Aないし3Dは、入力接点aに与えられる水平ドライブパルス ϕ_{v1} を電荷結合素子4 aに出力する。

【0064】このとき、図6に示す切り替え器45の接点kはその出力接点と接続されており、切り替え器45は加算器46に対してオフセット値としてゼロを出力する。したがって、絞り25には絞り制御回路42からの制御量がそのまま与えられて、映像信号処理回路41からの映像信号の輝度成分が規定値に制御される。

【0065】次に、全画面出力モードから分割画面モードに切り替わると、切り替え器45の接点iがその出力接点に接続され、加算器46によりオフセット値43が絞り制御回路42の出力(絞り25に対する制御量)に加算される。オフセット値43が絞り制御回路42の出力に加算されると、接点kが再び出力接点に接続される。

【0066】ここで、分割画面モードに切り替わると、前述のように、電荷結合素子4 aの受光時間が実効的に半分に急減する。しかし、絞り制御回路42の出力には絞り25を開く方向のオフセット値43が加算されるので、被写体の光量が増加する。この結果、撮像部4 Aないし4 Dからの映像信号の輝度成分はそれまでのレベルに保たれる。

【0067】次に、分割画面出力モードから全画面モードに切り替わると、切り替え器45の接点jがその出力接点と接続され、加算器46によりオフセット値44が絞り制御回路42の出力に加算される。オフセット値44が絞り制御回路42の出力に加算されると、接点kが再び出力接点に接続される。

【0068】ここで、全画面モードに切り替わると、電荷結合素子4 aの受光時間が実効的に2倍に急増する。しかし、絞り制御回路42の出力に対して絞り25を開じる方向のオフセット値44が加算されるので、被写体の光量が減少する。この結果、撮像部4 Aないし4 Dからの映像信号の輝度成分はそれまでのレベルに保たれる。

【0069】したがって、絞り25に対する絞り制御回路42のフィードバック制御が、画面の明るさの急激な変化に追従できなくとも、分割画面出力モードと全画面出力モードとの切り替わり時に、画面の明るさに不連続が生じなくなる。

【0070】上述した本実施の形態では、画面を分割画面M1ないしM4に4分割した場合を例として説明したが、これに限定されことなく、さらに分割数を増やしてもよい。この場合、各撮像部4Aないし4Dを駆動する各ドライブパルスの位相の進み量と遅れ量とを、分割画面の位置に応じて複数定めればよい。

【0071】

【発明の効果】以上の説明から明らかなように、本発明によれば以下の効果を得ることができる。即ち、本発明によれば、1画面上に複数の映像を時分割して出力させる全画面出力モードと、上記1画面を複数の分割画面に分割して上記複数の映像を上記複数の分割画面上にそれぞれ同時に出力させる分割画面出力モードとを有する画面分割カメラにおいて、基準位相を有する第1パルス信号と上記第1パルス信号に対し所定の位相の進みを有する第2パルス信号と上記第1パルス信号に対し所定の位相の遅れを有する第3パルス信号とを発生し、上記第2パルス信号および第3パルス信号を水平走査方向または垂直走査方向における上記分割画面の数に応じて通倍して出力するパルス信号発生部と、上記全画面出力モード時に上記パルス信号発生部からの上記第1パルス信号を選択すると共に、上記分割画面出力モード時に上記第2パルス信号または第3パルス信号を選択するパルス信号選択部と、上記パルス信号選択部で選択された上記第1パルス信号ないし第3パルス信号のいずれかに同期して被写体の映像信号を得る複数の撮像部と、上記複数の撮像部からの複数の映像信号を、上記第1パルス信号を参照して上記全画面出力モードまたは上記分割画面出力モードに応じた映像信号に合成する映像信号合成部とを備え、上記パルス信号選択部は、上記分割画面出力モード時に、1水平同期期間または1垂直同期期間における走査の開始点側に位置する上記分割画面の映像信号を与える上記撮像部に対し上記第3パルス信号を選択すると共に、上記走査の終了点側に位置する上記分割画面の映像信号を与える上記撮像部に対し上記第2パルス信号を選択して出力するので、複数の分割画面に分割された1画面上に複数の映像を同時に出力させる分割画面モードにおいて、各映像が映し出される分割画面間に隙間を生じることのない画面分割カメラを得ることができる。

【0072】また、上記複数の撮像部は、上記被写体の光像を結像させる光学系と、上記被写体の光像の光量を制限する絞りと、上記パルス信号選択部で選択された上記第1パルス信号ないし第3パルス信号のいずれかに駆動されて、上記光学系により結像され上記絞りにより光量が制限された上記被写体の光像を光電変換して電気信号を出力する光電変換素子と、上記光電変換素子からの電気信号から上記映像信号を生成する映像信号処理回路と、上記映像信号の輝度成分が規定値となる方向に上記

絞りを制御する絞り制御回路と、上記絞りと上記絞り制御回路との間に設けられ、上記全画面出力モードから上記分割画面出力モードへの切り替わり時に上記絞り制御回路による上記絞りの制御量に対し上記絞りを開く方向のオフセット値を加算し、上記分割画面出力モードから上記全画面出力モードへの切り替わり時に上記制御量に対し上記絞りを閉じる方向のオフセット値を加算するオフセット値加算手段とを備えたので、全画面出力モードと分割画面出力モードとの切り替わり時に、画面の明るさに不連続を生じることがなくなる。

【0073】さらに、画面の水平走査および垂直走査に対応させて上記パルス信号発生部とパルス信号選択部とを設けたので、画面の水平走査方向に隣接する分割画面間の隙間と、垂直走査方向に隣接する分割画面間の隙間とをなくすことができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る画面分割カメラの構成を示すブロック図である。

【図2】 本発明の実施の形態1に係る水平パルス発生部および垂直パルス発生部の構成を示すブロック図である。

【図3】 本発明の実施の形態1に係る水平パルス発生部および垂直パルス発生部が発生するパルス信号を説明するための図である。

【図4】 本発明の実施の形態1に係る水平ドライブパルス選択部および垂直ドライブパルス選択部の構成を示すブロック図である。

【図5】 本発明の実施の形態1に係る画面分割カメラの動作を説明するための図である。

【図6】 本発明の実施の形態2に係る画面分割カメラを構成する撮像部の構成を示す図である。

【図7】 従来の画面分割カメラの構成を示すブロック図である。

【図8】 従来の画面分割カメラが備える撮像部の構成を示すブロック図である。

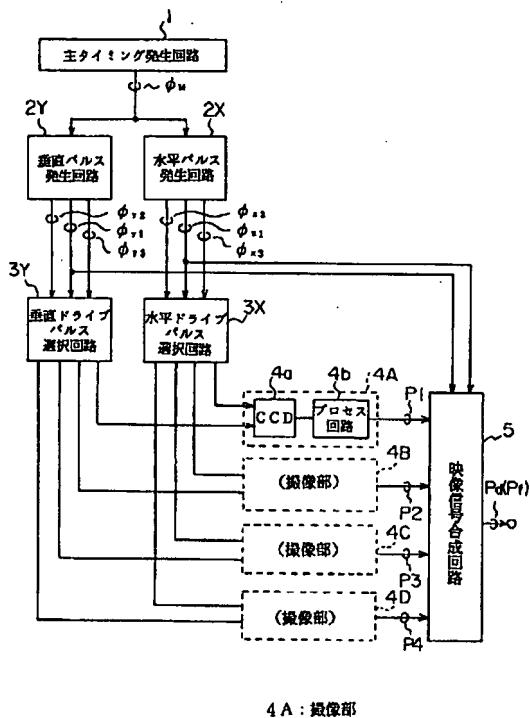
【図9】 映像信号合成回路の構成を示す図である。

【図10】 従来の画面分割カメラの動作(課題)を説明するための図である。

【符号の説明】

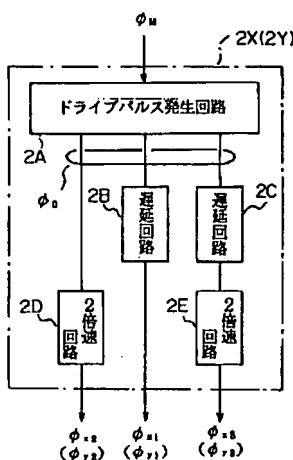
40 1 主タイミング発生回路、2A ドライブパルス発生回路、2B、2C 遅延回路、2D、2E 2倍速回路、2X 水平パルス発生回路、2Y 垂直パルス発生回路、3A～3D、4A、4B、4C 切り替え器、3X 水平ドライブパルス選択回路、3Y 垂直ドライブパルス選択回路、4A～4D、4X撮像部、4a 電荷結合素子(CCD)、4b プロセス回路、5 映像信号合成回路、24 レンズ、25 絞り、42 絞り制御回路、46 加算器。

〔図1〕

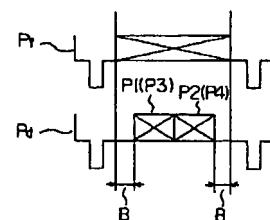


【図3】

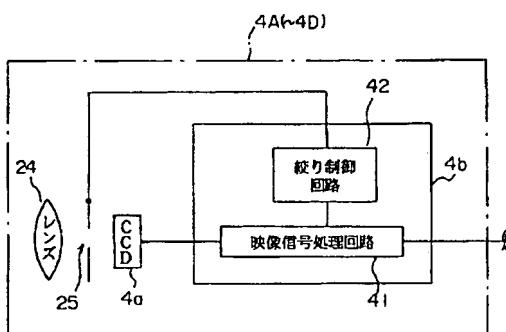
〔図2〕



〔図5〕



〔図8〕

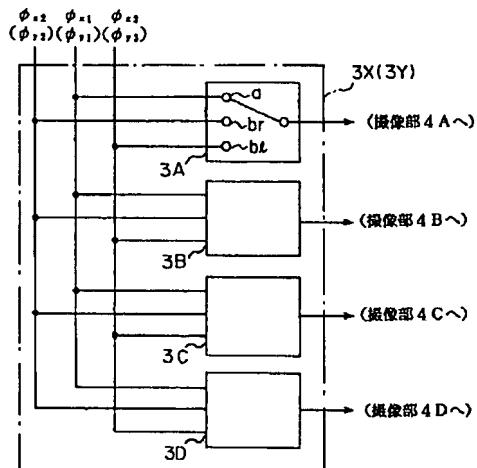


M1 ~	(P1)	(P2)	M2
M3 ~	(P3)	(P4)	M4

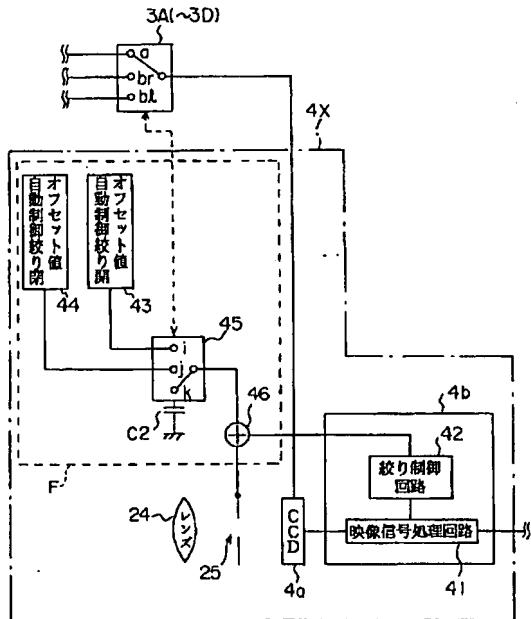
(垂直)

The diagram shows a cylinder assembly with two ports, P1(P3) and P2(P4), connected to a rod labeled 'B'. The rod is shown in two positions: one where it is extended to the left, and another where it is retracted to the right. The cylinder body is labeled with a bracket as 'P3(P4)'.

【図4】

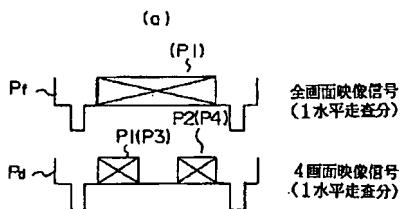


【図6】

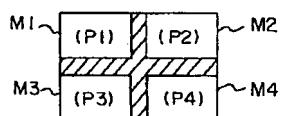


F : オフセット値加算手段

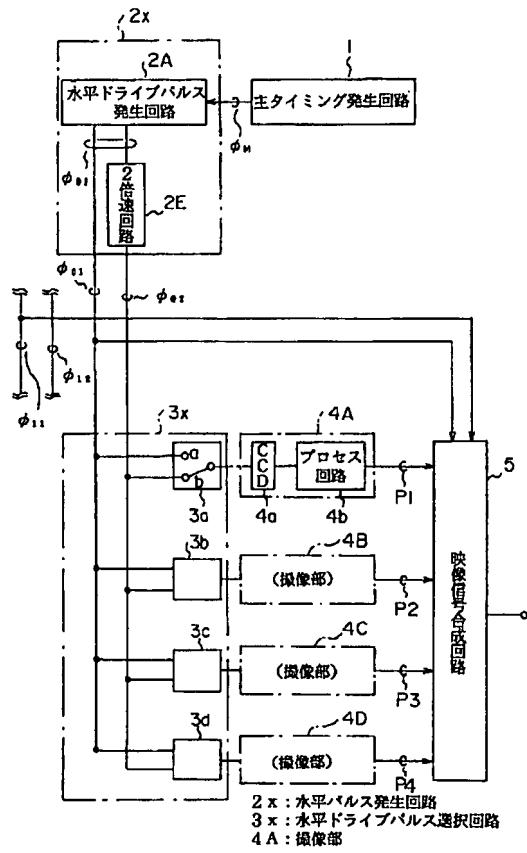
【図10】



(b)



【図7】



【図9】

